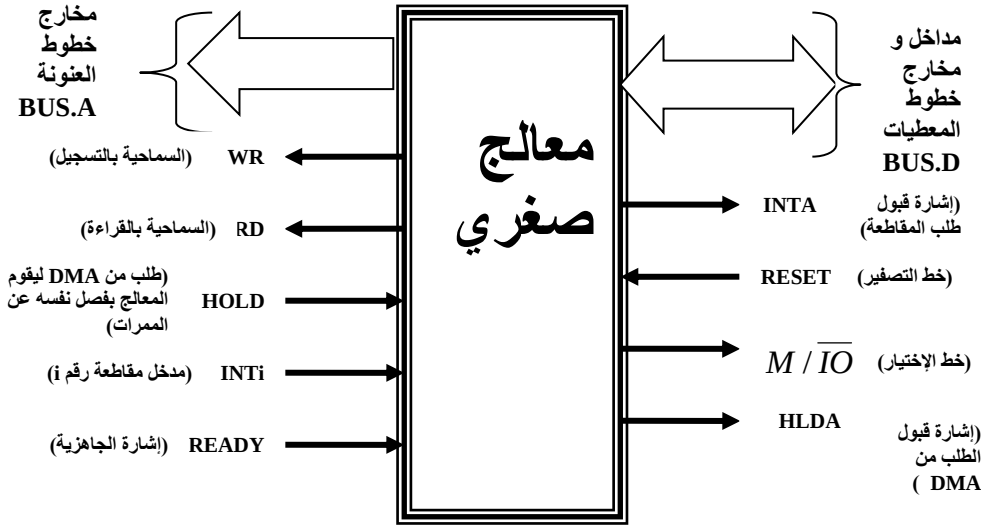
ربط المعالج الصغري مع الذاكرات

نتعرف في هذه المحاضرة على كيفية ربط المعالج الصغري مع الذاكرات و نركز على الذاكرات الثابتة ROM و الذاكرات RAM الساكنة (SRAM) و كيفية حل المساحات الميتة من مساحة العنونة للمعالج التي تحدث عند ربط ذاكرات بسعات مختلفة، و هذا طبعاً لا يهم مستخدمي الحواسيب الشخصية بل مصممي نظم المعالجات الصغرية، إذ أن الذاكرة الانتقالية Cache memory تصنع من الذاكرات SRAM التي تتمتع بسرعة عالية..

6-1 – مداخل و مخارج المعالج الصغري Microprocessors I/O

كما وجدنا من المحاضرات السابقة فإن المعالج الصغري هو عبارة عن جهاز الكتروني رقمي مجمع ضمن شريحة (دارة متكاملة) و يقوم بمعالجة المعطيات (كلمة كلمة) حيث يحدد مكان تواجد كل كلمة (سيقوم بمعالجتها) بواسطة ممرات (خطوط) العنونة BUS.A ، أي أن خطوط العنونة تكون دائماً خارجة من المعالج ، ويقوم المعالج بنقل كلمة المعطيات (التي سيقوم بمعالجتها) بواسطة ممرات (خطوط) المعطيات BUS.D إلى داخله (مع وجود إشارة السماحية بالقراءة RD) و بعد معالجة المعطيات يقوم بإعادة إرسالها إلى المكان المحدد بالعنوان الموجود على ممرات العنونة، حيث تخرج المعطيات منه (كلمة كلمة) عبر خطوط المعطيات (مع وجود إشارة السماحية بالتسجيل WR)، وبالتالي ينبغي أن تكون ممرات (خطوط) المعطيات BUS.D بإتجاهين. لاحظ الشكل(6-1).



الشكل(6-1) أهم النواقل المرتبطة بالمعالج الصغري

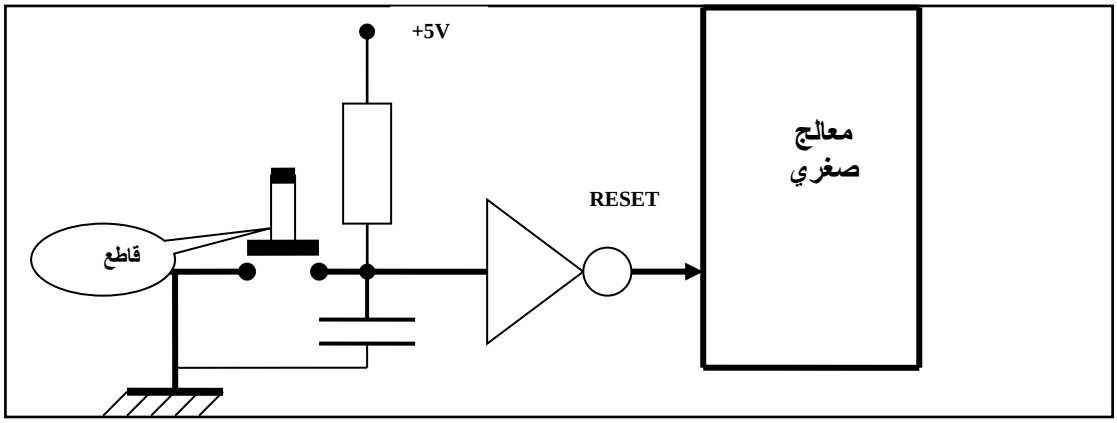
في الحقيقة يمكن للمعالج أن يتعامل مع الأجهزة المحيطية من خلال منافذها (تسلسلية أو تفرعية أو USB) أي أن يتبادل البيانات معها ، كما يمكنه التعامل مع الذاكرات (كلاهما معنون) و بناء على ذلك:

$$M / \overline{IO} = \begin{cases} 1 & \text{المعالج يتعامل مع الذاكرة} \\ 0 & \text{المعالج يتعامل مع المنافذ} \end{cases}$$

بالنسبة لإشارة التصفير RESET أي تصفير المعالج فتعني تصفير عداد البرنامج PC وطريقة وصله مع الحاسوب PC موضحة على الشكل(6-2) . حيث نلاحظ وجود طريقتين لتوليد إشارة التصفير وهما إما عن طريق فصل التغذية الكهربائية أو عن طريق ضغط القاطع فيتم التصفير عن طريق الإتصال بالأرض .

بالنسبة لإشارة الجاهزية READY فهي تكون قادمة من الأجهزة الخارجية المرتبطة بالمعالج وذلك في حالة كانت سرعة المعالج أعلى من سرعة ذلك الجهاز لذلك فهي طلب إنتظار للمعالج أي أن يطول دورته وبالتالي يصبح أبطأ:

$$READY = \begin{cases} 1 & \text{المعالج يعمل} \\ 0 & \text{المعالج ينتظر} \end{cases}$$



الشكل(6-2) طريقتان لتوليد إشارة التصفير

بالنسبة لمداخل المقاطعة INTi (حبث i يدل على رقم المدخل) فهي تكون قادمة من الأجهزة الخارجية المرتبطة بالمعالج وذلك في حالة كانت تطلب خدمة من المعالج وهذه الخدمة عادة تتمثل في تشغيل برنامج خدمي لها (يسمى عادة ببرنامج خدمة المقاطعة) و إشارة الطلب هذا تقاطع عمل المعالج الطبيعي . وهنا الجهاز الذي يطلي الخدمة ينتظر قبول الطلب عبرإشارة يولدها المعالج INTA (يمكن لجهاز أو أكثر أن يطلب خدمة ولكن قبول الطلب هي لجهاز واحد منها حسب نظام محدد مثل نظام الأفضليات)

يمكن للمعالج أن يرنبط مع وحدة DMA (Direct Memory Access) أي وحدة النفاذ المبائر إلى الذاكرة حيث ت}من هذه الوحدة الإتصال المباشر بين الذاكرة و المنافذ بهدف تأمين نقل سريع للبيانات دون تدخل المعالج ، حيث يمكن إعتبار وحدة DMA معالج من نوع خاص يقوم بتنفيذ برنامج ميكروئ ثابتMicro program ويمكن للوحدة أن تكون قائدة عندما تستلم نظام المعالج لتأمن النفاذ المباشر بين المنافذ والذاكرة دون تدخل المعالج الذي يكون مقاداً في هذه الحالة ولكن في الحالة الأخرى يكون هو القائد. من خلال الإشارة HOLD فإن الوحدة DMA تطلب من المعالج أن يفصل نفسه عن ممرات النظام ، و وهنا الوحدة DMA تنتظر قبول الطلب عبرإشارة يولدها المعالج HLDA.

2-6 – البنية المنطقية للذاكرات Memories Logical Structure

6-2-1- تعريف الذاكرة:

عموماً هي عبارة عن مصفوفة تقاطعات لأسطر ، و أعمدة ، فإذا كان هناك في نقطة التقاطع اتصال بين السطر والعمود فهذا يعني تخزين القيمة المنطقية 1 ، بينما إذا لم يكن هناك اتصال بين السطر و العمود فهذا يعني تخزين القيمة المنطقية 0.

عند الحديث عن بنية الذاكرات يتم التمييز بين نوعين من البنى، وهما:

- **البنية المنطقية أو الخارجية**
- **البنية الفيزيائية أو الداخلية**

البنية المنطقية هي بنية الذاكرة كما يراها مستخدموها، و البنية الفيزيائية هي البنية الفعلية كما يضعها مصمموا ، و مطوروا الذاكرات، وبالتالي ما تهتم به الشركات الصانعة للذاكرات، نناقش في هذه المحاضرة البنية المنطقية بشكل عام ونترك البنية الفيزيائية.

6-2-2- سعة الذاكرة Memory size

تعد السعة من أهم ميزات الذاكرة ، والتي تحدد بعدد التقاطعات التي تحتويها الذاكرة، و نصطلح على وجود وحدة لقياس سعة الذاكرة، حيث تعتبر السعة التخزينية لتقاطع واحد هي بت واحد 1bit أي خانة واحدة ، و يعتبر القلاب Flip flop ذاكرة سعتها خانة واحدة 1bit، وهناك مضاعفات للبت (عادة يرمز للبت بالحرف b)، وهي:

- **الكيلو بت ويرمز له kb ، ويكون:**

$$1Kb= 2^{10}b = 1024b$$

- **الميغا بت ويرمز له Mb ، ويكون:**

$$1Mb= 2^{10}Kb = 1024Kb =2^{20}b = 1048576b$$

- **الجيغا بت ويرمز له Gb ، ويكون:**

$$1Gb= 2^{10}Mb = 1024Mb =2^{20}Kb =2^{30}b = 1073741824b$$

- **التيرا بت ويرمز له Tb ، ويكون:**

$$1Tb= 2^{10}Gb = 1024Gb =2^{20}Mb =2^{30}Kb =2^{40}b = 1099511627776b$$

وهناك وحدة أخرى لقياس السعة وهي البايت Byte (عادة يرمز للبايت بالحرف B)، وهو يعادل ثمانية خانات أي:

1B=8b

وبشكل مشابه للبت هناك مضاعفات للبايت، وهي:

- **الكيلو بايت ويرمز له kB ، ويكون:**

$1KB= 2^{10}B = 1024B$

- **الميغا بايت ويرمز له MB ، ويكون:**

$1MB= 2^{10}KB = 1024KB =2^{20}B = 1048576B$

- **الجيغا بايت ويرمز له GB ، ويكون:**

$1GB= 2^{10}MB = 1024MB =2^{20}KB =2^{30}B = 1073741824B$

- **التيرا بايت ويرمز له TB ، ويكون:**

$1TB= 2^{10}GB = 1024GB =2^{20}MB =2^{30}KB =2^{40}B = 1099511627776B$

ملاحظة هامة: **دائماً يكون الكيلو كوحدة قياس هو ألف وحدة ، ونسعى أن يكون كذلك ، ولكن في حالة سعة الذاكرات يجب أن يكون من مضاعفات العدد 2 ، و أقرب ما يمكن للألف ، أي 2^9=512 أو 2^{10} = 1024 ، والأقرب هو الثاني أي: 2^{10} = 1024، وننبه إلى أن هذا يخص الذاكرات فقط ، و لا يخص سرعة النقل الرقمية التي تعني عدد البتات المنقولة في الثانية الواحدة ، و لا يخص أيضاً وسائط التخزين (الأقراص)، ونو ضح ذلك من خلال الأمثلة الآتية:**

مثال(6-1): حدد زمن نقل معطيات حجمها 1244 Mbytes في الحالات التالية:

- **شبكة ATM ذات السرعة 622MB/s**
- **من حاسوب PC عبر مودم بسرعة 19200bps**

الحل: في الحالة الأولى يلزمنا:

$$\frac{1244}{622} = 2Sec$$

ولكن هنا نكون قد ارتكبنا خطأ ، والصح هو:

$$\frac{1244\times1024\times1024}{622\times1000\times1000} = \frac{1304428544}{622000000} = 2.097152Sec$$

في الحالة الثانية يلزمنا:

$$\frac{1244\times8\times1024\times1024}{19200} = 543511.892Sec$$

أي يلزمنا حوالي 6 أيام و6 ساعات وأكثر من 58 دقيقة

في المثال السابق حجم المعطيات قدر بالميغا بايت التي تعادل 2^{20} بايت، والسرعة بالميغا بايت بالثانية ، والتي تعادل 1000000 بت في الثانية.

مثال(6-2): حدد سعة قرص صلب بالبايت إذا كانت سعته 80GB.

الحل:

$80\times1000MB= 80\times10^6KB=80\times10^9B$

مثال(6-3): **حدد سعة الذاكرة المكافئة (المعادلة) لسعة قرص صلب إذا كانت سعته 80GB.**

الحل: لدينا:

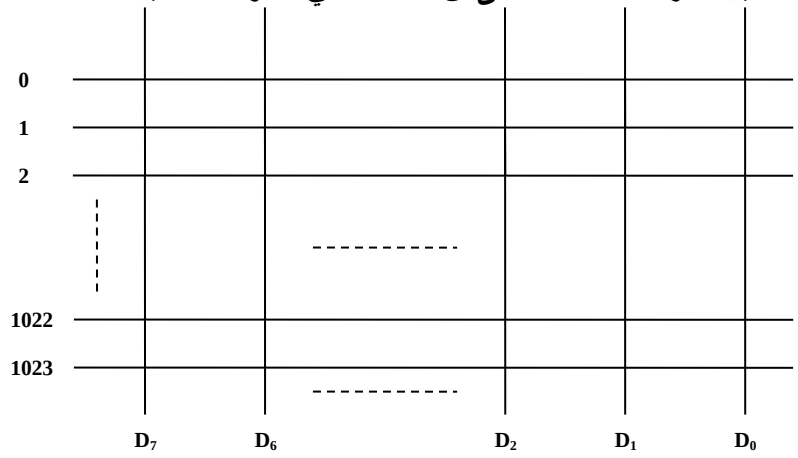
$$\underbrace{80KB}_{for_Hard_disk} = \underbrace{80\frac{1000}{1024}KB = 78.125\text{KB}}_{for_Memory}$$

$$\underbrace{80MB}_{for_Hard_disk} = \underbrace{80\frac{1000}{1024}.\frac{1000}{1024}MB = 76.2939453125\text{MB}}_{for_Memory}$$

$$\underbrace{80GB}_{for_Hard_disk} = \underbrace{80\frac{1000}{1024}.\frac{1000}{1024}.\frac{1000}{1024}GB = 74.5058059\text{GB}}_{for_Memory}$$

6-2-3- البنية المنطقية للذاكرات

في البنية المنطقية للذاكرة بشكل عام نسمي الأسطر بخطوط العنوان، ونسمي الأعمدة بخطوط المعطيات، فمثلاً لو كان لدينا ذاكرة سعتها 1kB ، فهذا يعني أنها تحتوي على 1024 سطراً ، و8 أعمدة ، وتكون خطوط الأعمدة هي ذاتها الخطوط الخارجة من الذاكرة (باتجاهين للذاكرات القابلة للتخزين). الشكل(6-3) يوضح ترقيم الأسطر (عنونة) من 0 وحتى 1024 ، والأعمدة من 0 وحتى7 كدليل للحرف D للدلالة على أن الأعمدة هي خطوط المعطيات.

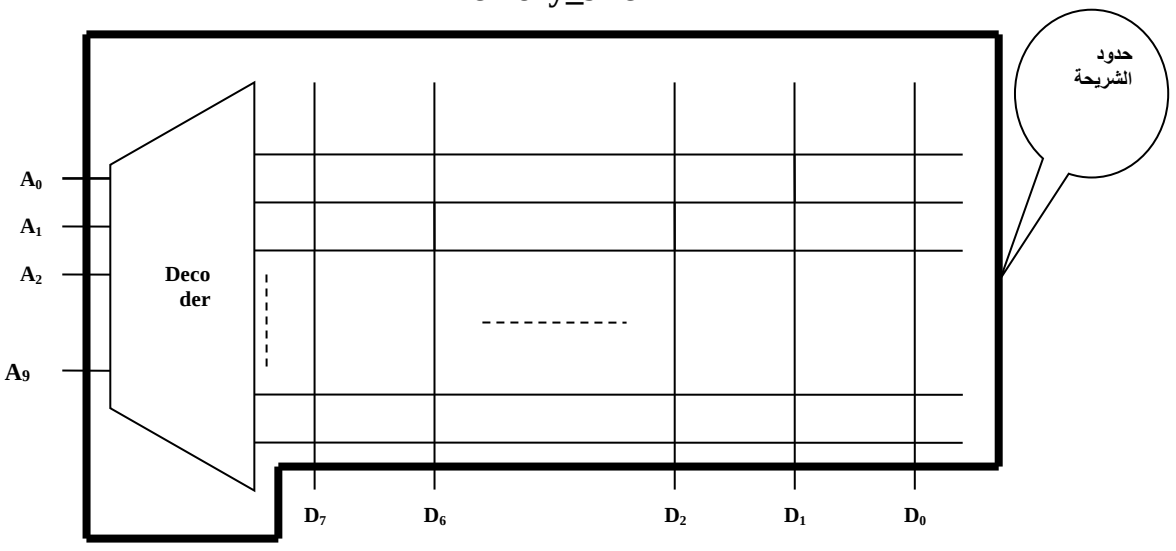


الشكل(6-3) ترقيم الأسطر والأعمدة في الذاكرات

لقد إفترضنا في المثال السابق أنه على كل سطر توجد 8 يتات تشكل موقعاً واحداً ، و سوف نسميها بالكلمة ، وهذا يعني أن طول الكلمة لدينا هنا 1B =8b ، وبالتالي الذاكرة المشار إليها تحتوي على 1024 كلمة.

تمكن خطوط الأسطر من الوصول إلى المواقع أو الكلمات، ولكن بإعتبار أن عددها كبير جداً ، لهذا لا تخرج خارج الذاكرة ، فمن أجل ذاكرة سعتها 1MB ، وطول كلمتها 1B =8b ، يكون لدينا (منطقياً وليس فيزيائياً) أكثر من مليون سطر ، حتى لو أخرجناها من الذاكرة سيكون من الصعب تمييزها عن بعضها لأنها ستكون مثل شعر الرأس!. و عادة يتم وصل خطوط الأسطر في المصنع (داخل شريحة الذاكرة) إلى خرج مفكك ترميز Decoder ، بحيث تكون مداخل المفكك خارجة من شريحة الذاكرة فمثلاً للذاكرة التي سعتها 1kB، سيكون لدينا الشكل(6-4)، حيث يوضع المفكك داخل شريحة الذاكرة، ويختصر عدد الأسطر من 1024 إلى 10 فقط نسميها خطوط العنونة ، وهي دائماً مداخل المفكك ، وتحدد سعة الذاكرة بعدد كلماتها وفق القانون الآتي:

$$Memory_size = 2^N$$



الشكل(6-4) إختصار عدد الأسطر الخارجة من الذاكرة

حيث N عدد خطوط العنونة الخارجة من الذاكرة. ويتم رسم الذاكرة السابقة بشكل نخفي فيه ما بداخلها، ويصبح الشكل(6-4) كما في الشكل(6-5).

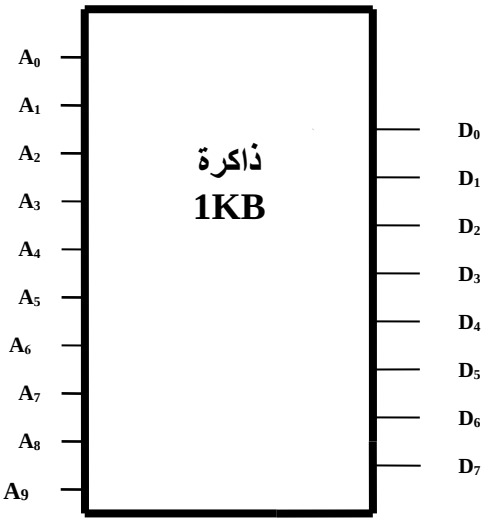
مثال*(6-4)*: ذاكرة عدد كلماتها 16K ، أحسب عدد خطوط العنونة

الحل: لدينا :

$$N = \log_2(memory_size) = \log_2(16K) = \log_2(2^{14}) = 14$$

وهي مرقمة من A_0 وحتى A_{13} .

مثال(6-5) إذا كان نقل كلمة ذات 8bits من منفذ إلى الذاكرة يحتاج إلى 14 نبضة ساعة من معالج تردد ساعته 66MHz فكم تكون سرعة النقل الرقمية؟



الشكل(6-5) خطوط العنونة والمعطيات لذاكرة سعتها 1KB

الحل: **زمن نبضة واحدة هو $\frac{1}{66*10^6}$ ثانية**

زمن 14 نبضة هو $\frac{14}{66*10^6}$ ثانية وهذا زمن نقل 8 بتات وبالتالي زمن نقل بت واحد هو:

$\frac{14}{66*8*10^6}$ ثانية وتكون سرعة النقل هي مقلوب الكسر السابق:

$$\frac{66*8*10^6}{14} = 37.714\text{Mb/s} = 4.714\text{MB/s}$$

مثال(6-6): لوحظ أن زمن نقل كلمة ذات 8bits من منفذ إلى الذاكرة و بالعكس يحتاج إلى 20 نبضة ساعة للمعالج Z80 ذي تردد ساعته 4MHz فكم تكون سرعة النقل الرقمية؟

الحل: **زمن نبضة واحدة هو $\frac{1}{4*10^6}$ ثانية**

زمن 20 نبضة هو $\frac{20}{4*10^6}$ ثانية وهذا زمن نقل 8 بتات وبالتالي زمن نقل بت واحد هو:

$\frac{20}{4*8*10^6}$ ثانية وتكون سرعة النقل هي مقلوب الكسر السابق: $\frac{4*8*10^6}{20} = 1200Kbps$

6-2-4- مداخل التحكم بعمل الذاكرة RAM

هناك ثلاثة مداخل للتحكم بعمل الذاكرة RAM وهي:

1. ***مدخل اختيار الذاكرة Chip Select:*** **وهذا المدخل موجود في نوعي الذاكرات ROM و RAM ، ويرمز له CS ، حيث عندما يريد المعالج الصغري المرتبط بتلك الذاكرة أن يتعامل (يتصل) بها فإنه يرسل إشارة عبر هذا المدخل.**

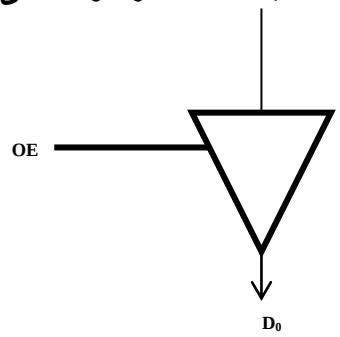
المعالج يتعامل مع الذاكرة

$$CS=\begin{cases}1\\0\end{cases}$$ (0: المعالج لا يتعامل مع الذاكرة)

2. ***مدخل السماحية بالقراءة من الذاكرة Output Enable:*** **وهذا المدخل موجود في نوعي الذاكرات ROM و RAM ، ويرمز له OE ، حيث عندما يريد المعالج الصغري المرتبط بتلك الذاكرة أن يقرأ منها معطيات فإنه يرسل إشارة عبر هذا المدخل.**

$$OE=\begin{cases}1\\0\end{cases}$$ (1: مع CS=1 تتم قراءة كلمة؛ 0: بوابات الإخراج الثلاثية الحالة مغلقة)

تضاف بوابة ثلاثية الحالة إلى نهاية الأعمدة في الذاكرات بحيث يتم التحكم بإخراج البتات عن طريق إشارة فتح البوابات OE ، والشكل(6-6) يبين البوابة الثلاثية الحالة الموضوعة على نهاية العمود D_0 .

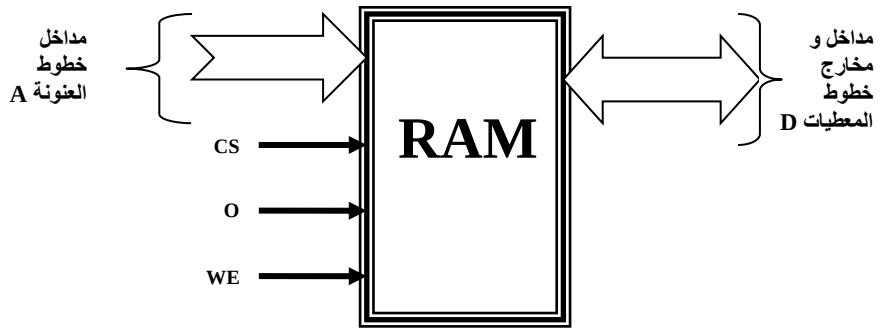


الشكل(6-6)وصل مدخل السماحية بالقراءة OE إلى بوابة ثلاثية الحالة

3. ***مدخل السماحية بالتسجيل في الذاكرة Write Enable:*** **وهذا المدخل موجود في الذاكرات RAM فقط، ويرمز له WE ، حيث عندما يريد المعالج الصغري المرتبط بتلك الذاكرة أن يسجل فيها معطيات فإنه يرسل إشارة عبر هذا المدخل، أي يصبح:**

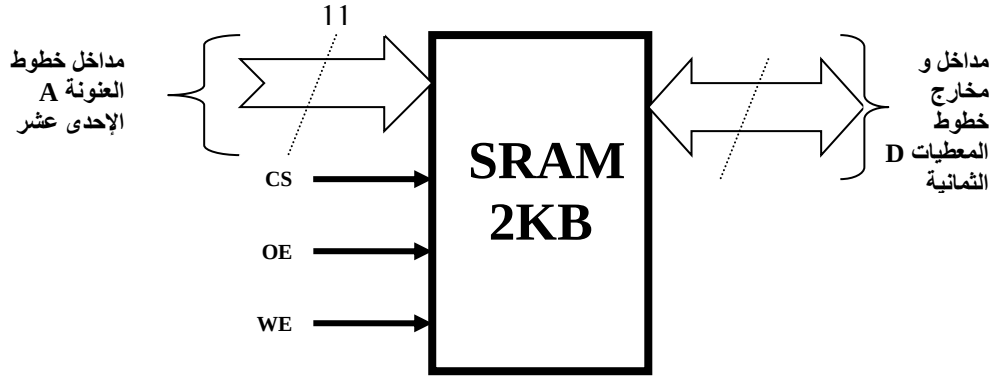
CS=WE=1

الشكل(6-7) يوضح أهم النواقل المرتبطة بالذاكرات RAM:



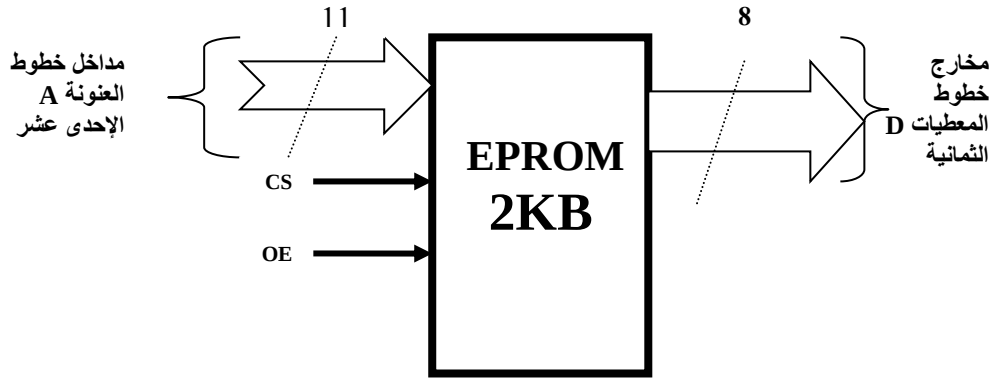
الشكل(6-7) أهم النواقل المرتبطة بالذاكرات RAM

مثال(6-7): الشكل(6-6) يبين شريحة الذاكرة 2KB مع نواقلها الأساسية.



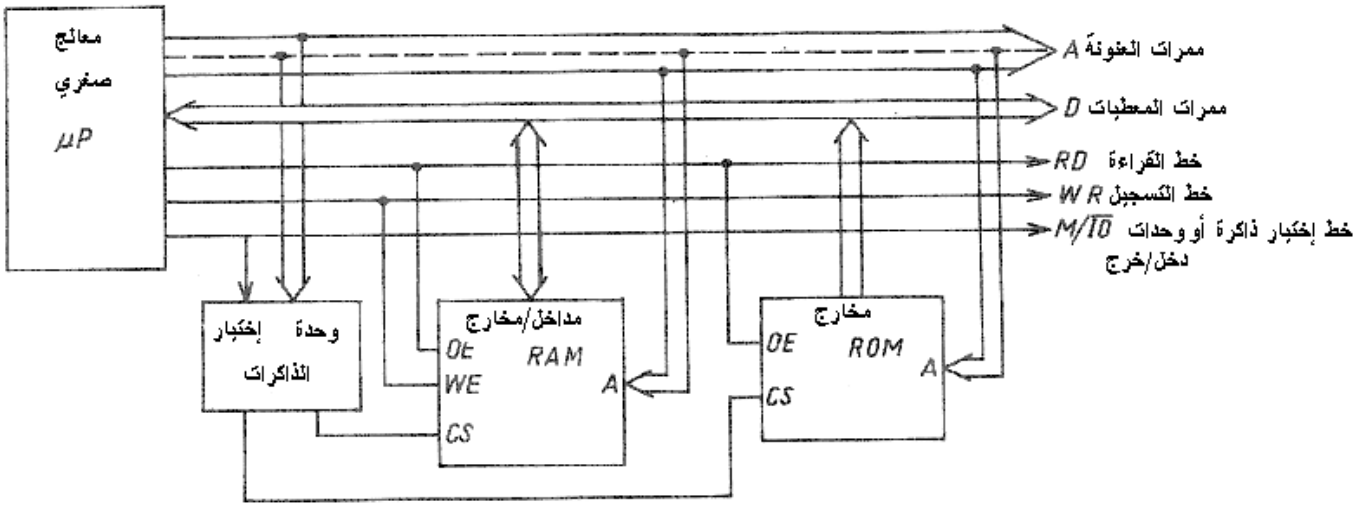
الشكل(6-6) أهم النواقل المرتبطة بالذاكرة SRAM بسعة 2KB

مثال*(6-8)*: الشكل(6-7) يبين شريحة الذاكرة EPROM بسعة 2KB مع نواقلها الأساسية.



الشكل(6-7) أهم النواقل المرتبطة بالذاكرة EPROM بسعة 2KB

4. **فيما يلي نورد بعض التطبيقات الهامة حول موضوع ربط الذاكرات الساكنة مع بعضها البعض، وكيفية ربطها مع المعالج. في البداية لا يوجد قواعد عامة تخص كافة أنواع الذاكرات الساكنة، وفي هذا المجال نورد بعض الأمور الشاذة الموجودة على الواقع.**
5. **خط التحكم $\overline{OE}$ (السماحية بالقراءة) غير موجود في بعض الذاكرات الساكنة، فهو موجود في الذاكرات ذات السعات nK×8bits (طول كلمة 8bits) ، وغير موجود في الذاكرات ذات السعات nK×1bit (طول كلمة 1bit) ، بينما في الذاكرات ذات السعات nK×4bits (طول كلمة 4bits) فبحسب الشركة الصانعة حيث في بعضها يوجد الخط $\overline{OE}$ و في بعضها الآخر لا يوجد.**
6. **في بعض الذاكرات التي تحتوي على خط التحكم $\overline{OE}$ و طول كلماتها 8bits يوجد خطين لإختيار الذاكرة CE2 ،$\overline{CE1}$ ، وفي هذه الحالة يتم إختيار الذاكرة عندما: خط التحكم $\overline{CE1}.CE2=1$**
7. **و يبين الشكل(6-8) المبدأ العام لربط الذاكرات مع المعالج الصغري.**



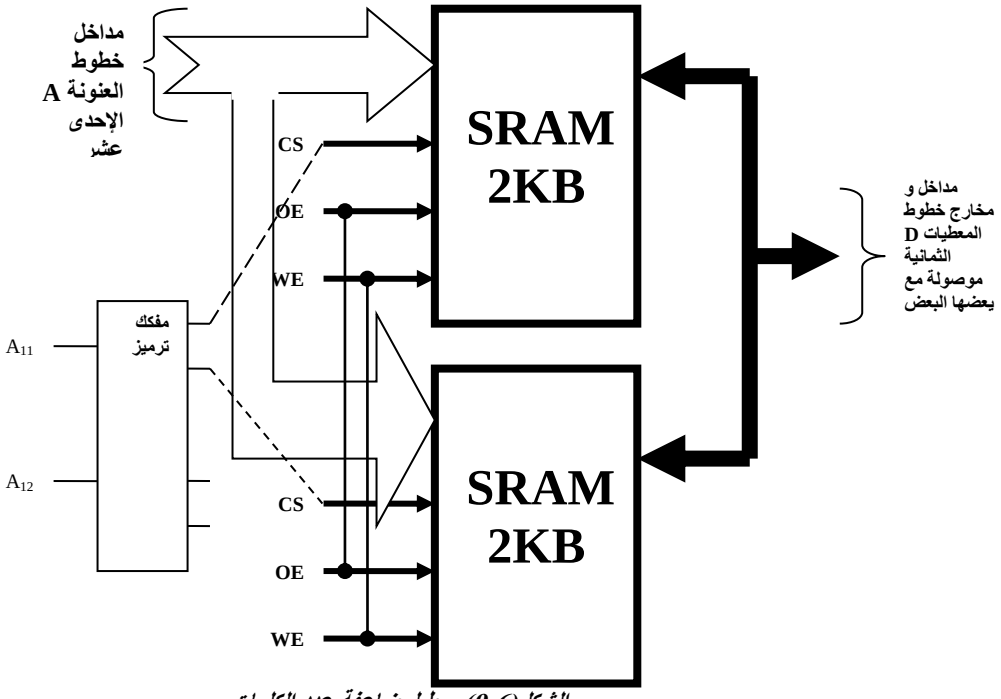
الشكل(6-8) ربط الذاكرات مع المعالج

6-2-6- زيادة عدد الكلمات(التوسع الطولي)

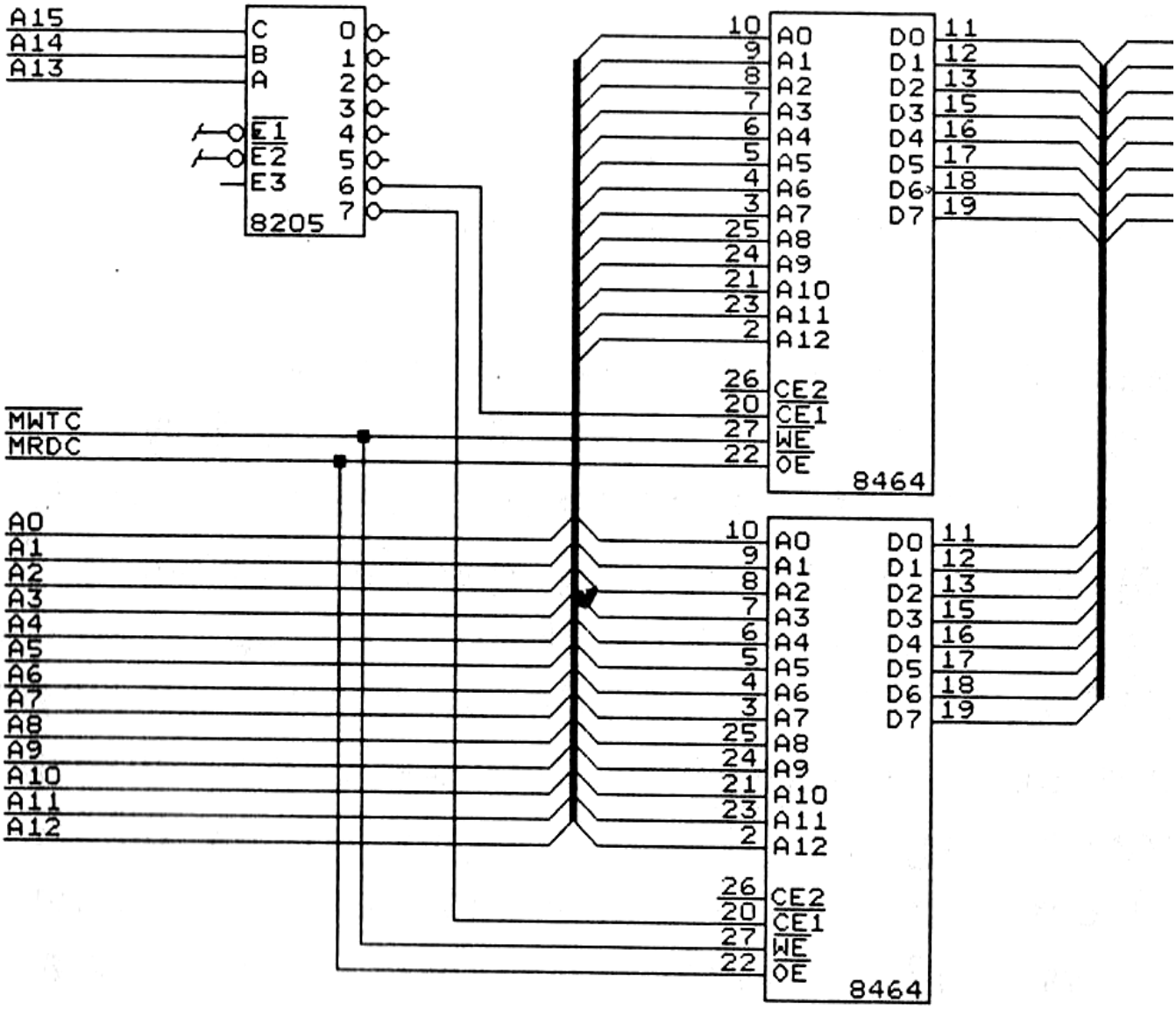
هنا يتم ربط خطوط المعطيات و العنونة و خطي السماحية بالقراءة و التسجيل مع بعضها ، ونستخدم مفكك ترميز لربط الذاكرات مع بعضها حيث توصل مخارجه مع مداخل إختيار الذاكرة. الشكل(6-9) يوضح كيفية الحصول على ذاكرة ذات سعة 4K×8bits من ذاكرتين كل منهما 2K×8bits

مثال: ارسم مخططاً لربط ذاكرتين 8K×8bits /SRAM مع بعضهما لتشكيل ذاكرة ذات سعة 16K×8bitsأي 16KB

الحل: بالرجوع للكاتالوجات يمكن أن نختار الذاكرتين 8464 من إنتاج شركة Fujitsu ، والشكل(6-10) يبين طريقة الربط حيث يتم ربط خطوط المعطيات و العنونة و خطي السماحية بالقراءة و التسجيل مع بعضها ، ونستخدم مفكك ترميز (خطي خرج منه حيث يمكنه ربط 8 ذاكرات مع بعضها) لربط الذاكرات مع بعضها ، حيث توصل مخارجه مع خطوط اختيار الذاكرات .$\overline{CE1}$,



الشكل(6-9) ربط لمضاعفة عدد الكلمات



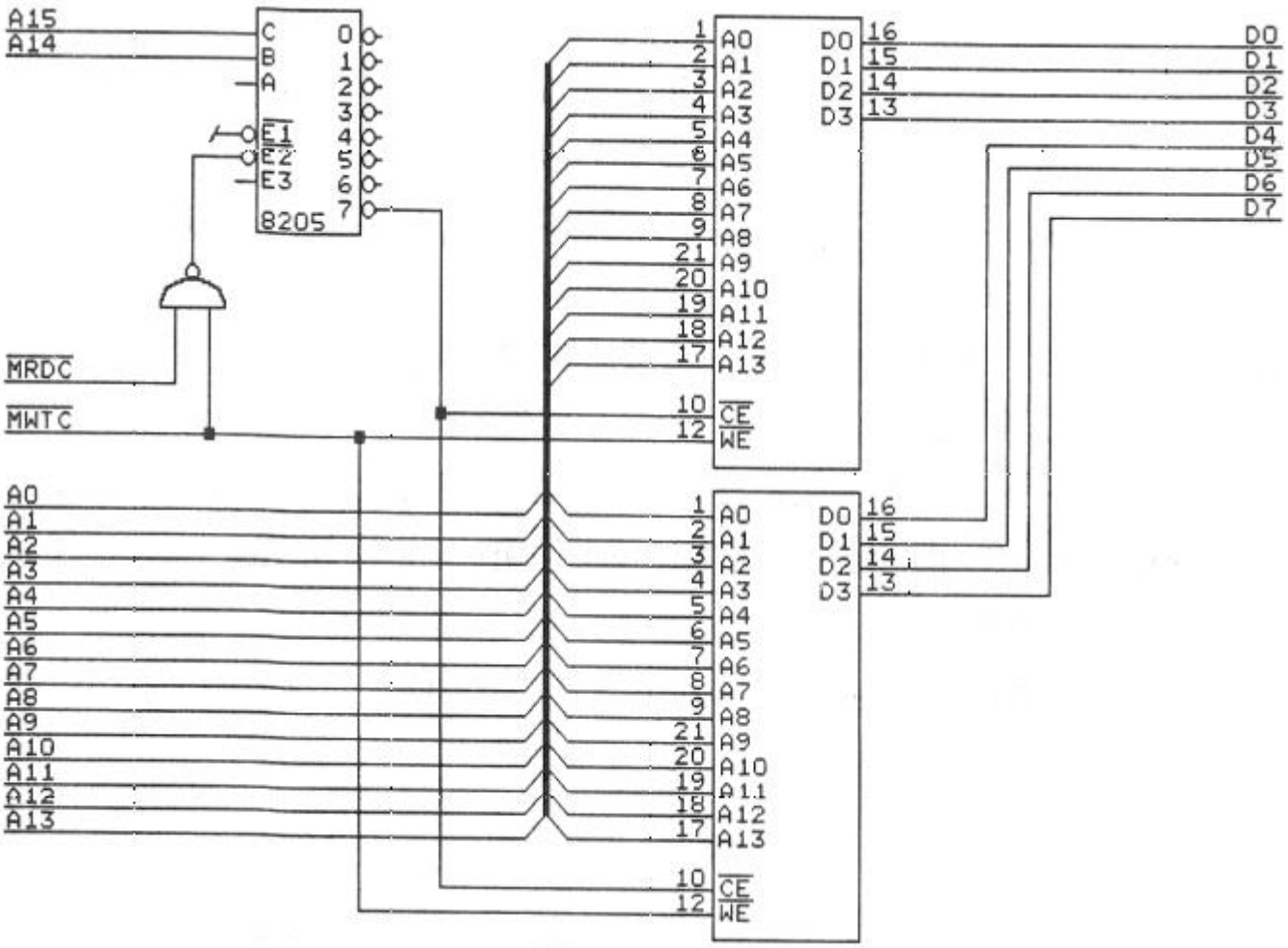
الشكل(6-10) ربط لزيادة عدد الكلمات

6-2-6- زيادة طول الكلمات(التوسع العرضي)

هنا لا يتم ربط خطوط المعطيات بل خطوط العنونة و خطي السماحية بالقراءة و التسجيل مع بعضها ، ونستخدم مفكك ترميز لربط الذاكرات مع بعضها حيث توصل مخارجه مع مداخل إختيار الذاكرة. نوضح هذه الفكرة من خلال المثال الآتي:

ارسم مخططاً لربط ذاكرتين SRAM /16K×4bits مع بعضهما لتشكيل ذاكرة ذات سعة 16K×8bitsأي 16KB ، بمعنى أن عدد الكلمات لم يتغير بل الذي تغير هو طول الكلمة فقد تضاعف.

الحل: بالرجوع للكاتالوجات يمكن أن نختار الذاكرتين 8164 من إنتاج شركة Fujitsu ، وعموماً كما ذكرنا سابقاً فإن الذاكرات ذات الطول كلمة 4bits لا تحتوي على خط التحكم $\overline{OE}$ (السماحية بالقراءة) والشكل (6-10) يبين طريقة الربط حيث يتم ربط خطوط العنونة و خط السماحية بالتسجيل مع بعضها ،بينما تبقى خطوط المعطيات دون ربط ، وكذلك السماحية بالقراءة الذي بطبيعة الحال لايوجد خط التحكم $\overline{OE}$ (السماحية بالقراءة) حتى يربط معه ، وفي الحقيقة في الكثير من المعالجات الرقمية Microprocessors يتم توليد إشارتي القراءة $\overline{MRDC}$ (ذكرنا سابقاً أن هذه الإشارة تسمى في بعض المعالجات RD) والتسجيل $\overline{MWTC}$ (ذكرنا سابقاً أن هذه الإشارة تسمى في بعض المعالجات WR)، (أو ما يقابلهما) بتأخير زمني ما عن توليد العناوين لهذا يتم وصلهما إلى E2 من مفكك الترميز عبر بوابة NAND ، حيث يكون E2 مفعلاً عندما E2=0 ، وهذا يكون عند ظهور إحدى الإشارتين $\overline{MRDC}$ أو $\overline{MWTC}$ ، ونستخدم مفكك ترميز (خطي خرج منه حيث يمكنه ربط 8 ذاكرات مع بعضها) لربط الذاكرات مع بعضها ، حيث توصل مخارجه مع خطوط اختيار الذاكرات.



الشكل(6-11) ربط لزيادة طول الكلمات