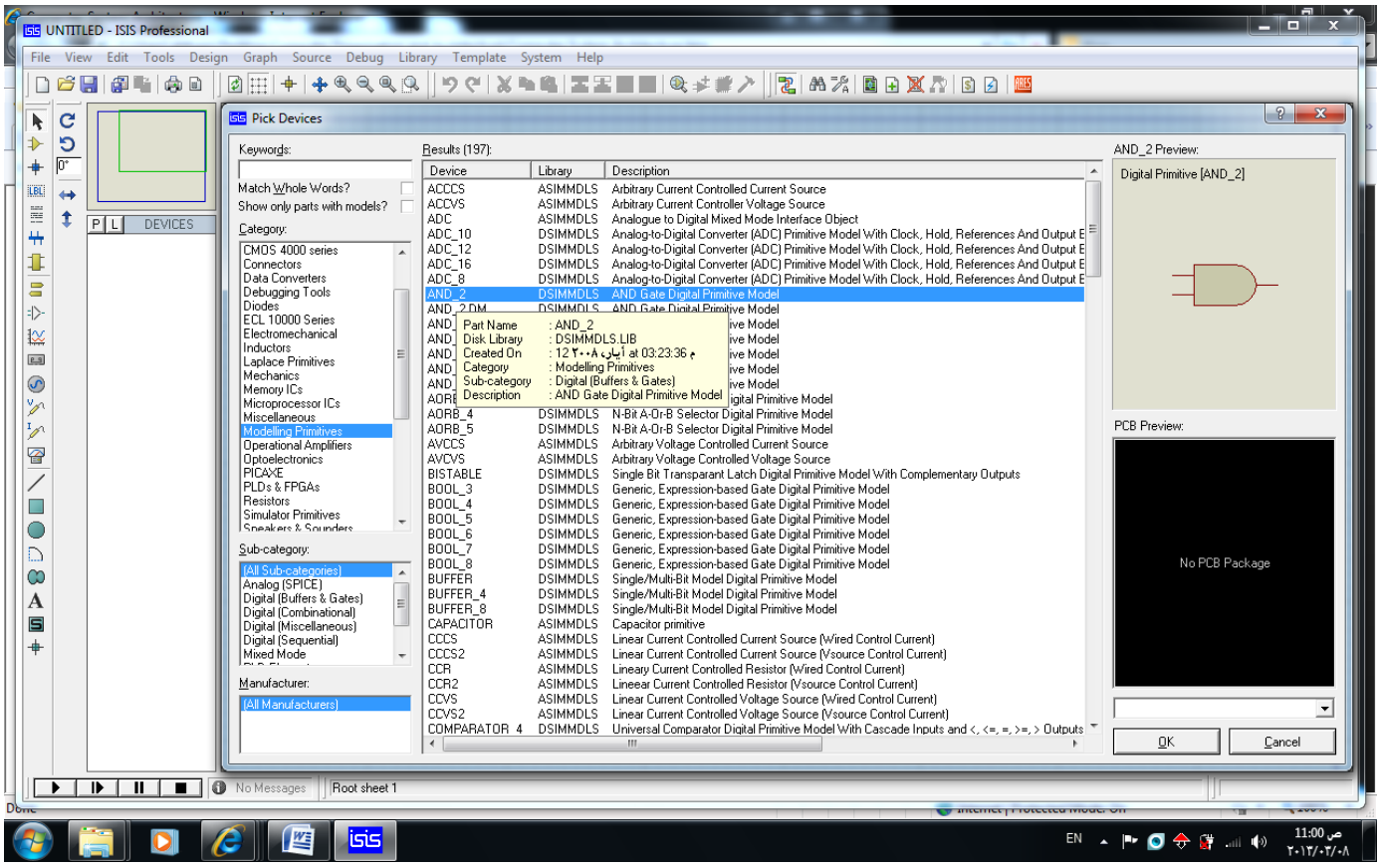
لاشك في أن البوابات المنطقية هي حجر الأساس في بناء الأنظمة الرقمية. سنقوم الآن بإحضار بوابة AND وتشغيلها، ثم سنصمم دارة جامع كامل (Full-Adder)، وسننطلق منها لتصميم دارة طارح كامل (Full-Subtracter) ثم دارة ضارب (Multiplier) ... الخ. سنستفيد في كل ما قمنا بتصميمه لإنشاء وحدات رئيسة داخل CPU كوحدة الحساب والمنطق ALU [1].

أولاً- بوابة AND:

تتواجد جميع البوابات المنطقية داخل المجموعة Modeling Primitives. نضيف دارة AND ذات المدخلين إلى نافذة التحرير كما هو مبين بالشكل (1).



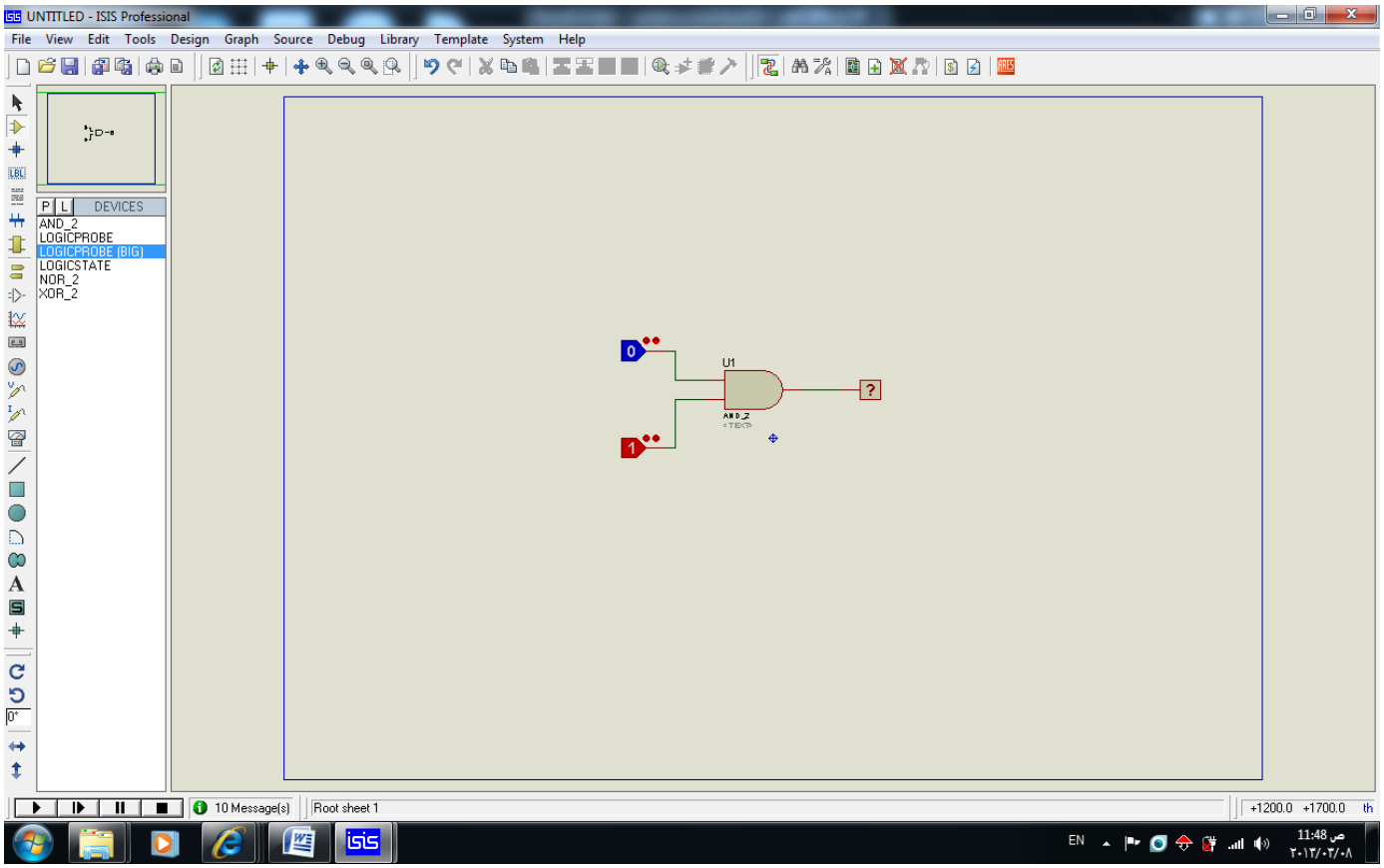
الشكل (1)

نضع مداخلاً ومخارجاً للدارة من المجموعة Debugging Tools. عادة، نستخدم النهاية LOGICSTATE للدخل، والنهاية LOGICPROBE (BIG) للخرج، انظر الشكل (2).

بعد رسم الدارة، نقوم بتنفيذها بالنقر على زر التشغيل الموجود في الزاوية اليسرى السفلى في البرنامج.

يجب ملاحظة تغير قيمة الخرج حسب تغيير قيم الدخل للدارة AND.

[1] تُعتبر وحدة الحساب والمنطق ALU من أهم مكونات وحدة المعالجة المركزية CPU.



الشكل (2)

ثانياً- دارة جامع كامل – 1 بت:

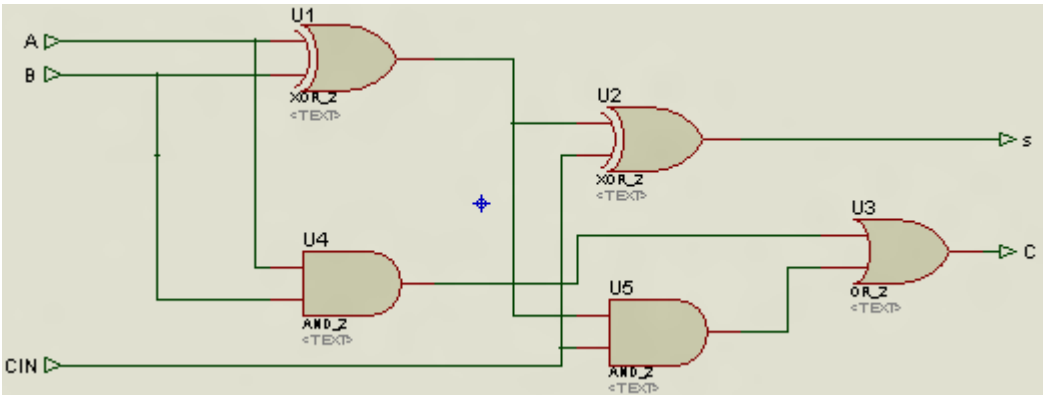
لجمع عددين A و B كل منها بطول 1 بت مع مراعاة الحمل السابق Cin، نستخدم دارة جامع كامل بجدول الحقيقة والمعادلات التالية:

A	B	Cin	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = A \oplus B \oplus Cin$$

$$C = AB + (A \oplus B)\, Cin$$

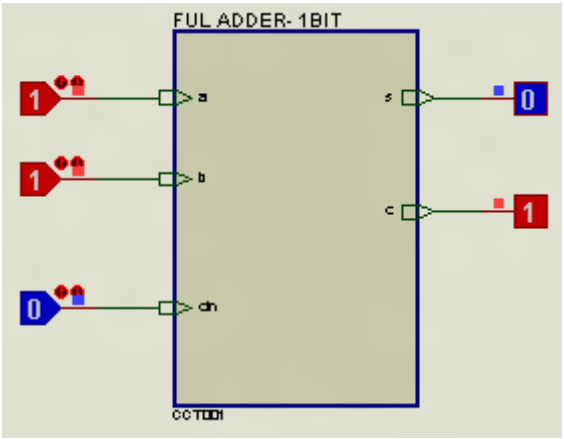
نقوم الآن برسم دارة الجامع بما يحقق معادلاتها عبر إضافة العناصر المطلوبة إلى نافذة التحرير، كما نضيف النهايات (Terminals) للمداخل الثلاثة وللمخرجين من الزر ونسميهم جميعاً ونصل الأسلاك بين الجميع. يوضح الشكل (3) ما قمنا به في هذه المرحلة.



الشكل (3)

نحتاج أحياناً لإخفاء مكونات الدارة داخل صندوق لتوفير المساحة وتقليل تعقيد الرسمة. يتم ذلك عبر إضافة مخطط صندوقي SubCircuit من الزر واستخدام الأداة Default لرسمه. نستخدم لمداخل الصندوق الأداة Input ولمخارجه الأداة Output، مع ضرورة مطابقة أسماء مداخل ومخارج هذا الصندوق مع أسماء المداخل والمخارج الفعلية.

نقوم بقص الدارة المرسومة ثم نضغط على الصندوق بالزر الأيمن للفأرة ونختار الأمر " Go To Child Sheet". بالقيام بذلك نكون قد أصبحنا بداخل الصندوق، وبإمكاننا تنفيذ الأمر " Paste" للصق الدارة بداخله. للعودة إلى الصندوق نضغط بزر الفأرة الأيمن على الدارة ونختار الأمر "Exit To Parent Sheet".

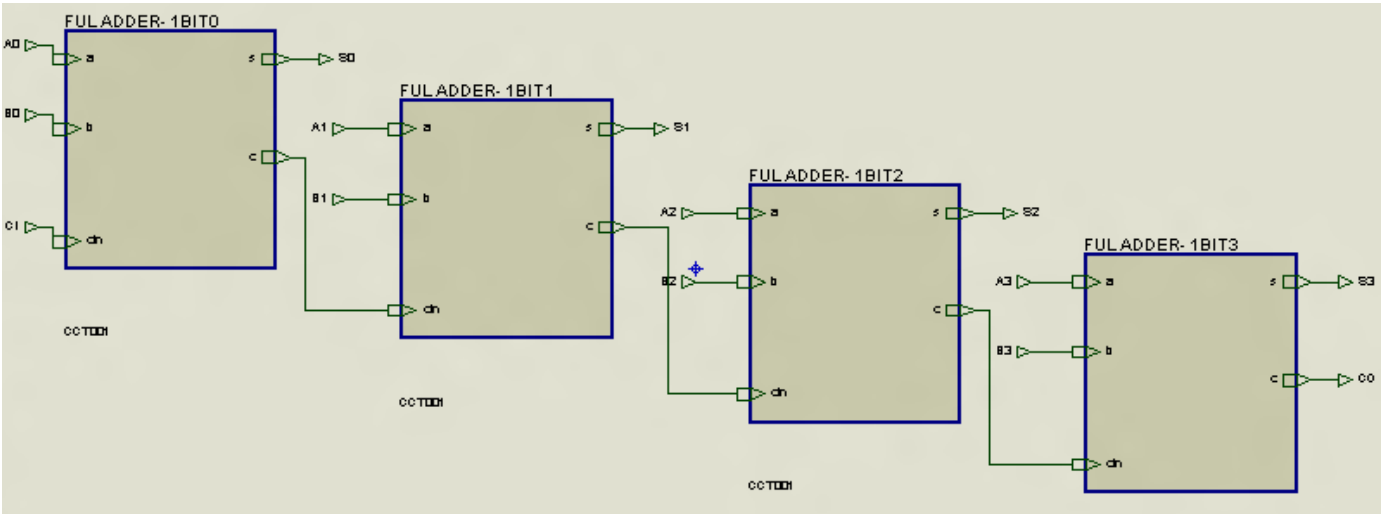


الشكل (4)

ملاحظة: يتم إضافة مداخل من نوع Logicprobe لإمكانية ادخال القيم المنطقية، ويتم إضافة مخارج من نوع Logicstate لإمكانية مشاهدة حالة الخرج المنطقية. توجد هذه العناصر في المجموعة Debugging Tools.

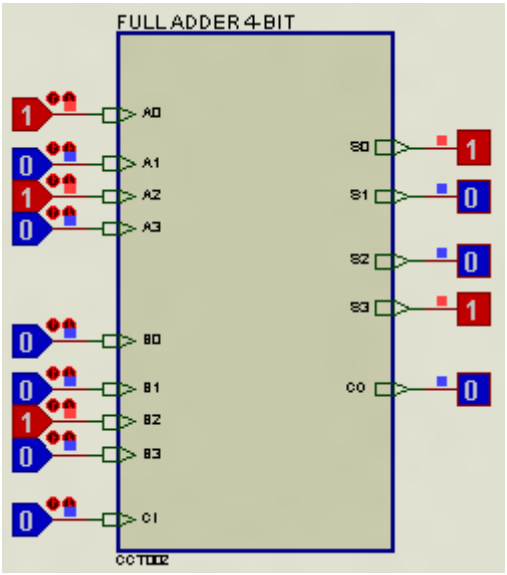
ثالثاً- دارة جامع كامل – 4 بت:

سننتقل لتصميم دارة جامع كامل- 4 بت اعتماداً على دارة الجامع ذات البت الواحد. بالقواعد نفسها المتبعة سابقاً، نقوم بعملية التوصيل بين الدارات الأربع، كما في الشكل (5).



الشكل (5)

بإمكاننا أيضاً توضيبهم داخل صندوق واحد كما في الشكل (6).

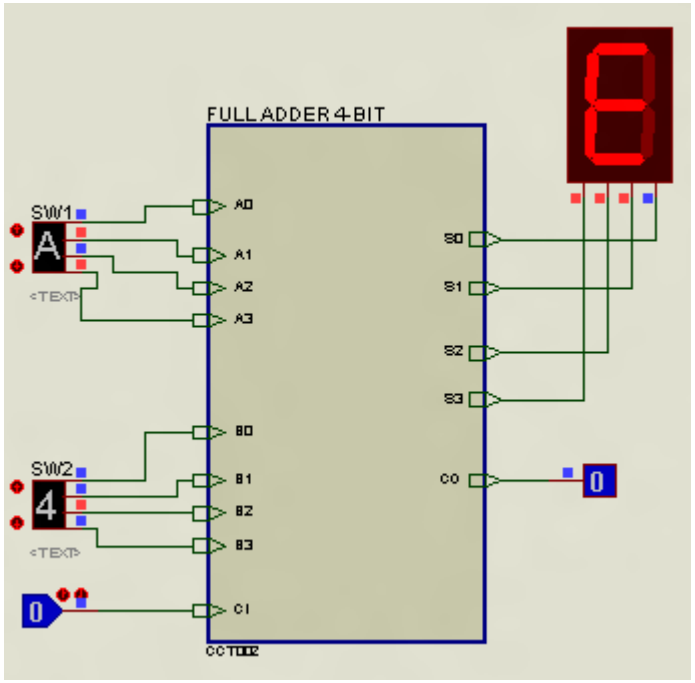


الشكل (6)

لتسهيل عملية إدخال الأعداد الثنائية، بإمكاننا استبدال المداخل Logicprobe[2] بمفتاح من نوع Thumbswitch-hex لإدخال أعداد ستة عشرية بدلاً منها. يوجد هذا العنصر بمجموعة Switches & Relays.

ولتسهيل عملية قراءة الخرج الممثل بالأعداد الثنائية بإمكاننا استبدال Logicstate بـ 7 SEG-BCD[3]. يوجد هذا العنصر بمجموعة Optoelectronics، انظر الشكل (7).

[2] كل أربعة مداخل من نوع Logicprobe تستبدل بعنصر من نوع Thumbswitch-hex.
[3] كل أربعة مخارج من نوع Logicstate تستبدل بعنصر من نوع 7 SEG-BCD.


FULLADDER4BIT
SW1
A
<TEXT>
SW2
4
<TEXT>
0
A0
A1
A2
A3
B0
B1
B2
B3
CI
S0
S1
S2
S3
CO
0
8

الشكل (7).